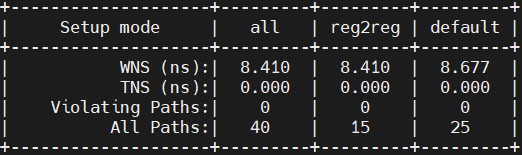
数字部分 实验四 模块级物理设计与时序分析

思考题

1. 回答上述操作过程中提出的思考题，按照序号给出答案。、

思考题(1)：布局优化完成后，主窗口右下角显示的设计状态是什么？答：主窗口右下角显示的设计状态是Timing Analyzed

思考题(2)：此时的 WNS (Worst Negative Slack)是多少？

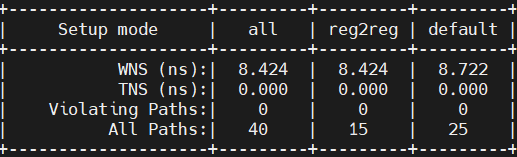
答：

可以看出，总的WNS为8.41ns

思考题(3) 此时是否存在时序违例？

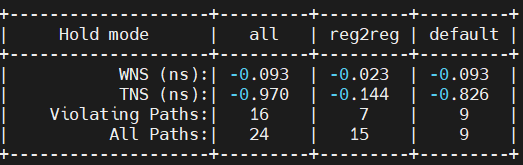
答：未存在时序违例路径

思考题(4) 此时是否存在建立时间时序违例？若有，共有几条违例路径？WNS 为多少？

答：

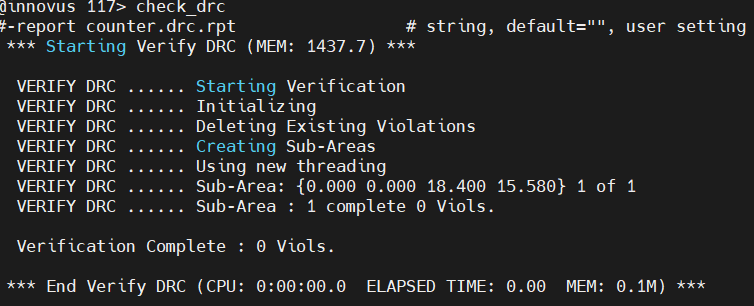
未存在时序违例路径，WNS=8.424ns

思考题(5) 此时是否存在保持时间时序违例？若有，共有几条违例路径？WNS 为多少？

答：

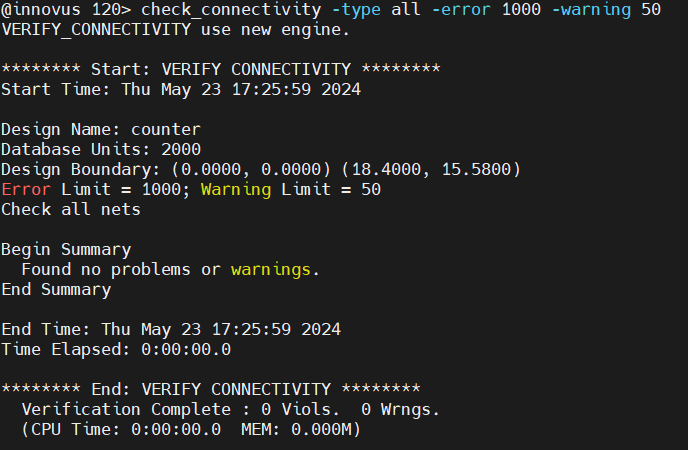
存在时序违例路径，违例路径有16条，WNS=-0.096ns

思考题(6) 是否存涉及规则违例？若有，共有几条违例？

答：

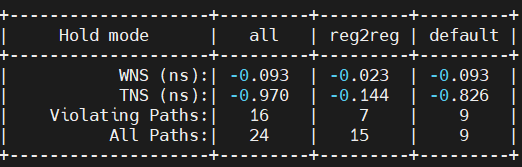
未出现规则违例

思考题(7) 是否存连接性违例？若有，共有几条违例？

答：

未出现连接性违例

思考题(8) 此时是否存在保持时间时序违例？若有，共有几条违例路径？WNS 为多少？

答：

存在保持时间时序违例，共有16条违例路径，WNS=-0.093ns

问题(9) 此时保持时间违例路径还有几条？WNS 为多少？数据是否有变化？

答：存在保持时间时序违例，共有16条违例路径，WNS=-0.093ns，数据无变化

问题(10) 新增的缓冲单元延时是多少？

答：新增的缓冲单元延时是0

问题(11) 使用图形交互界面和脚本执行设计步骤有何不同？各有何优缺点？

答：

问题(12) 记录每次操作后的违例路径数量和 WNS 的变化情况。答：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 操作次数 | 操作类型 | 总路径数量 | 违例路径数量 | WNS(ns) |
| 0 | 无 | 24 | 16 | -0.092 |
| 1 | 给count\_reg/SE添加BUFX8 | 24 | 16 | -0.086 |
| 2 | 给count\_reg/SI添加BUFX8 | 24 | 16 | -0.064 |
| 3 | 给count\_reg/SE添加BUFX8 | 24 | 16 | -0.062 |
| 4 | 给count\_reg/SI添加BUFX8 | 24 | 16 | -0.041 |
| 5 | 给count\_reg/SE添加BUFX8 | 24 | 16 | -0.039 |
| 6 | 给count\_reg/SI添加BUFX8 | 24 | 16 | -0.023 |
| 7 | 给count\_reg/SI添加BUFX8 | 24 | 16 | -0.021 |
| 8 | 给count\_reg/SE添加BUFX8 | 24 | 16 | -0.018 |
| 9 | 给count\_reg/SI添加BUFX8 | 24 | 0 | 0.000 |

1. 简述物理设计的过程，包括每个步骤完成的功能以及所需的文件。
2. 导入设计：导入门级网表、时序约束、单元库供接下来的设计步骤使用。所需的文件包括代码仿真生成的门级网表、时序约束和工艺提供的单元库。
3. 布图规划：规划芯片的基本面积、形状。无所需文件。
4. 电源规划：规划电源的主干线，包括电源环、电源轨道等。无所需文件
5. 设置引脚：设置引脚的位置，无所需文件。
6. 布局优化：对驱动器、门的单元位置、引脚位置进行布局操作，以消除时序违例。无所需文件。
7. 时钟树综合：生成时钟树互连线。无所需文件
8. 布线：进行布线。无所需文件
9. 时序分析和优化：对线路的时序进行分析，通过添加缓冲区进行时序优化。无所需文件。
10. 插入填充单元：使用填充单元填充标准单元未填满的布局区域。无所需文件。
11. 物理验证：验证电路的设计规则（DRC）、连接性（VLS）。无所需文件。
12. 生成版图文件：生成GDS格式的版图文件，供制造使用。可导出GDS文件。